

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-117003

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/872

H 0 1 L 29/48

F

29/866

29/90

D

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21) 出願番号 特願平8-270923

(22) 出願日 平成8年(1996)10月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 村上 進

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 望月 康弘

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 根本 峰弘

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 武 顕次郎

(54) 【発明の名称】 定電圧ダイオード及びその製造方法

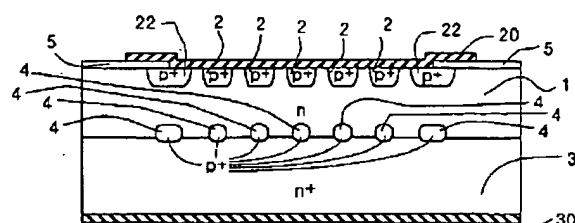
(57) 【要約】

【課題】 サージ耐量、信頼性が高い、一定の耐圧に制御された定電圧ダイオードを得る。

【解決手段】 n型半導体領域1の一方の表面からn型半導体領域1に延び、一方の主表面でn型半導体領域1との間に終端する第1のpn接合を形成するp+型半導体領域2、22が、一定の間隔でn型半導体領域1を主表面に露出させるように複数形成され、他方の表面に高不純物濃度のn+型半導体領域3が形成されている。また、n型半導体領域1及びn+型半導体領域3に包囲される位置に第2、第3のpn接合を形成する高不純物濃度のp+型半導体領域4が、p+型半導体領域2、22のほぼ直下に複数配置されて構成されている。

【効果】 急峻な逆バイアス電圧が印加されるとn型基板全体に広がる空乏層の先端がp+型半導体領域4にまで延び、p+型半導体領域4とn+型高不純物濃度の半導体領域3との間でアバランシェ降伏が生じ、局所的な熱破壊を防止する。

図 1



【特許請求の範囲】

【請求項1】 一対の主表面を有する半導体基体のそれぞれの主表面に第1、第2の主電極が設けられて構成される定電圧ダイオードにおいて、

前記半導体基体は、一方の主表面に隣接する第1導電型の第1半導体領域の一方の主表面から第1半導体領域に延び、第1半導体領域との間に終端する第1のpn接合を形成する第1半導体領域より高不純物濃度の第2導電型の第2半導体領域が、一方の主表面から見て第2半導体領域の外周部の内側に、少なくとも1つ以上の第1半導体領域が一方の主表面に露出する部分を有するように形成され、他方の主表面に第1半導体領域に隣接する第1半導体領域より高不純物濃度の第1導電型の第3半導体領域が形成され、第1半導体領域及び第3半導体領域に包囲され第1半導体領域及び第3半導体領域との間に第2のpn接合及び第3のpn接合を形成する第2半導体領域より高不純物濃度を有する他方導電型の第4半導体領域が形成されて構成され、

前記第1の主電極は、前記半導体基体の一方の主表面に、第2半導体領域にオーミック接触し、第2半導体領域の外周部の内側に露出する少なくとも1つ以上の第1半導体領域にショットキー接触して設けられ、

前記第2の主電極は、前記半導体基体の他方の主表面に、第3半導体領域にオーミック接触して設けられたことを特徴とする定電圧ダイオード。

【請求項2】 一対の主表面を有する半導体基体のそれぞれの主表面に第1、第2の主電極が設けられて構成される定電圧ダイオードにおいて、

前記半導体基体は、一対の主表面に隣接する第1導電型の第1半導体領域の一方の主表面から第1半導体領域に延び、第1半導体領域との間に終端する第1のpn接合を形成する第1半導体領域より高不純物濃度の第2導電型の第2半導体領域が形成され、他方の主表面に第1半導体領域に隣接する第1半導体領域より高不純物濃度の第1導電型の第3半導体領域が形成され、第1半導体領域及び第3半導体領域に包囲され第1半導体領域及び第3半導体領域との間に第2のpn接合及び第3のpn接合を形成する第2半導体領域より高不純物濃度を有する他方導電型の第4半導体領域が形成されて構成され、

前記第1の主電極は、前記半導体基体の一方の主表面において第2半導体領域にオーミック接触して設けられ、前記第2の主電極は、前記半導体基体の他方の主表面において第3半導体領域にオーミック接触して設けられたことを特徴とする定電圧ダイオード。

【請求項3】 一対の主表面を有する半導体基体のそれぞれの主表面に第1、第2の主電極が設けられて構成される定電圧ダイオードの製造方法において、

高不純物濃度の第1導電型の第3半導体領域の一方の主表面から内部に延びる第2導電型の第4半導体領域を、第4半導体領域の外周部の内側に少なくとも1つ以上の

第3半導体領域が露出するように選択的に形成する工程と、

第3半導体領域及び第4半導体領域の一方の主表面側に第3半導体領域及び第4半導体領域に隣接する第1導電型の第1半導体領域をエピタキシャル成長法により形成する工程と、

第1半導体領域の一方の主表面から内部に延び、第1半導体領域との間に終端する第1のpn接合を形成する第1半導体領域より高不純物濃度の第2導電型の第2半導体領域を、一方の主表面から見て第2半導体領域の外周部の内側に少なくとも1つ以上の第1半導体領域が一方の主表面に露出する部分を有するように形成する工程と、

一方の主表面に露出する第2半導体領域にオーミック接触し、第2半導体領域の外周部の内側に露出する少なくとも1つ以上の第1半導体領域にショットキー接触する第1の主電極を形成する工程と、

他方の主表面露出する第3半導体領域にオーミック接触する第2の主電極とを形成する工程とを具備することを特徴とする定電圧ダイオードの製造方法。

【請求項4】 一対の主表面を有する半導体基体のそれぞれの主表面に第1、第2の主電極が設けられて構成される定電圧ダイオードの製造方法において、

高不純物濃度の第1導電型の第3半導体領域の一方の主表面から内部に延びる第2導電型の第4半導体領域を、第4半導体領域の外周部の内側に少なくとも1つ以上の第3半導体領域が露出するように選択的に形成する工程と、

第3半導体領域及び第4半導体領域の一方の主表面側に第3半導体領域及び第4半導体領域に隣接する第1導電型の第1半導体領域をエピタキシャル成長法により形成する工程と、

第1半導体領域の一方の主表面から内部に延び、第1半導体領域との間に終端する第1のpn接合を形成する第1半導体領域より高不純物濃度の第2導電型の第2半導体領域を形成する工程と、

一方の主表面に露出する第2半導体領域にオーミック接触する第1の主電極を形成する工程と、

他方の主表面露出する第3半導体領域にオーミック接触する第2の主電極とを形成する工程とを具備することを特徴とする定電圧ダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、定電圧ダイオード及びその製造方法に係り、特に、一定の逆耐圧を有する定電圧ダイオード及びその製造方法に関する。

【0002】

【従来の技術】一般に、ツェナーダイオードと呼ばれている定電圧ダイオードは、高不純物濃度のn型半導体領域とp型半導体領域とにより形成されるpn接合を備え

て構成されている。そして、pn接合が所定の耐圧を得るために、例えば、n型半導体基板とそれより高不純物濃度のp型半導体領域とでpn接合を形成している場合、pn接合の周辺部分にp型半導体領域より深いp型のガードリング領域を形成することが知られている。この種の従来技術として、例えば、特開昭57-711886号公報等に記載された技術がある。この従来技術によれば、改善された高い信頼性を有するツェナーダイオードを高い生産効率で提供することができる。

【0003】また、他の従来技術として、例えば、特開昭57-129475号公報等に記載された技術が知られている。この従来技術は、ガードリング領域に囲まれたpn主接合領域を複数に分割し、かつ、対称的に配置することにより電流集中によるサージ耐量の低下を防止するというものである。

【0004】しかし、前述した各従来技術は、定電圧を実現するために高不純物濃度のn型半導体とp型半導体領域とを隣接して形成しているため、得られる定電圧が10V以下であり、高耐圧の定電圧ダイオードを容易に得ることができないものである。

【0005】また、高耐圧ダイオードに関する従来技術として、例えば、IEEE Transaction on Electron Devices, Vol. ED-31, No.6, 733(1984)におけるK. P. Brieger等による“The Influence of Surface Charge and Bevel Angle on the Blocking Behavior of a High Voltage p+n Device”と題する文献に記載された技術が知られている。この文献には、半導体基体の側端面のpn接合と交差する角度（ベベル角度）を調整することにより、pn接合露出表面の電界強度を下げ高耐圧のダイオードを実現することができると示されている。

【0006】しかし、この文献に記載された従来技術は、半導体表面の電界強度を一樣とすることができず、ベベル角度や半導体表面の保護膜中の電荷の極性や大きさ等により、p型半導体側や高不純物濃度のn型半導体表面での電界が強くなり降伏しやすいものである。すなわち、この従来技術は、降伏時において、降伏現象が素子内部のpn接合全体で一様に生起せずに端面で生起するため、仮に高耐圧の定電圧ダイオードを得ることができても、降伏時に、局所的な熱発生を伴い破壊に至りやすいものである。

【0007】さらに、高耐圧のショットキーダイオードに関する他の従来技術として、例えば、特開昭60-31271号公報、特開平3-24767号公報等に記載された技術が知られている。これらの従来技術は、n型半導体層の一方の主表面の露出面に、選択的に高不純物濃度のp+層が複数形成され、n型半導体層の他方の主表面に高不純物濃度のn+層が形成され、高不純物濃度のp+層の間隔を適正にすることにより、高耐圧化を図り、逆回復時間を短くして高速化を可能にすることがで

きるというものである。

【0008】

【発明が解決しようとする課題】前述した従来技術は、何れも、定電圧を実現する動作原理としてアバランシェあるいはツェナー降伏のみを使用するものであり、高耐圧素子に適用した場合に電界強度がpn接合面内で不均一になり、降伏時に電流集中によって素子が破壊されるという問題点を有している。また、高耐圧のショットキーダイオードに関する従来技術は、急峻な逆バイアス電圧が印加されたとき、表面のpn接合終端近傍で電界が集中することによるサージ耐量の低下に対して配慮されていないものであった。

【0009】本発明の目的は、前記従来技術の問題点を解決し、高いサージ耐量を有し、一定の逆耐圧を有する定電圧ダイオード及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば前記目的は、定電圧ダイオードを所定の高電圧を分担する部分と、所定の高電圧に達したら面内で均一に降伏を生じる部分から構成し、任意の高電圧に対して定電圧特性を示すように構成することにより達成される。

【0011】具体的に言えば、前記目的は、一対の主表面を有する半導体基体のそれぞれの主表面に第1、第2の主電極が設けられて構成される定電圧ダイオードにおいて、前記半導体基体を、一方の主表面に隣接する第1導電型の第1半導体領域の一方の主表面から第1半導体領域に延び、第1半導体領域との間に終端する第1のpn接合を形成する第1半導体領域より高不純物濃度の第2導電型の第2半導体領域が、一方の主表面から見て第2半導体領域の外周部の内側に少なくとも1つ以上の第1半導体領域が一方の主表面に露出する部分を有するように形成し、他方の主表面に第1半導体領域に隣接する第1半導体領域より高不純物濃度の第1導電型の第3半導体領域を形成し、第1半導体領域及び第3半導体領域に包囲され第1半導体領域及び第3半導体領域との間に第2のpn接合及び第3のpn接合を形成する第2半導体領域より高不純物濃度を有する他方導電型の第4半導体領域を形成して構成し、前記第1の主電極を、前記半導体基体の一方の主表面に、第2半導体領域にオーミック接触し、第2半導体領域の外周部の内側に露出する少なくとも1つ以上の第1半導体領域にショットキー接触して設け、前記第2の主電極を、前記半導体基体の他方の主表面に、第3半導体領域にオーミック接触して設けることにより達成される。

【0012】また、前記目的は、前述において、前記半導体基体を、一対の主表面に隣接する第1導電型の第1半導体領域の一方の主表面から第1半導体領域に延び、第1半導体領域との間に終端する第1のpn接合を形成する第1半導体領域より高不純物濃度の第2導電型の第

2半導体領域を形成し、他方の主表面に第1半導体領域に隣接する第1半導体領域より高不純物濃度の第1導電型の第3半導体領域を形成し、第1半導体領域及び第3半導体領域に包囲され第1半導体領域及び第3半導体領域との間に第2のpn接合及び第3のpn接合を形成する第2半導体領域より高不純物濃度を有する他方導電型の第4半導体領域を形成して構成することにより達成される。

【0013】本発明による定電圧ダイオードは、前述の構造を備えることにより、第1の主電極に負、第2の主電極に正の逆バイアス電圧が印加され、第1のpn接合から延びる空乏層が第4半導体領域に到達すると、一定の逆方向電圧すなわち定電圧で第3のpn接合の電界強度が高くなり、第3のpn接合で均一に降伏現象を生じさせることができ、高いサージ耐量を得ることができる。

【0014】

【発明の実施の形態】以下、本発明による定電圧ダイオード及びその製造方法の実施形態を図面により詳細に説明する。

【0015】図1は本発明の第1の実施形態による定電圧ダイオードの構造を説明する断面図、図2は図1に示す定電圧ダイオードの主表面から見た平面図である。図1において、1はn型半導体領域、2、4、22はp+型半導体領域、3はn+型半導体領域、5は絶縁膜、20はアノード電極、30はカソード電極である。

【0016】本発明の第1の実施形態による定電圧ダイオード（以下、単にダイオードという）は、図1に示すように、一方の主表面に隣接する第1半導体領域としてのn型半導体領域1の一方の主表面からn型半導体領域1に延び、一方の主表面でn型半導体領域1との間に終端する第1のpn接合を有するように第2半導体領域としてのp+型半導体領域2、22が形成され、このとき、p+型半導体領域2が、p+型半導体領域22に囲まれて互いに一定の間隔でn型半導体領域1が主表面に露出するように複数形成され、他方の主表面にn型半導体領域1と隣接し、n型半導体領域1より高不純物濃度の第3半導体領域としてのn+型半導体領域3が形成されて構成されている。また、図示ダイオードは、n型半導体領域1及びn+型半導体領域3に包囲され、n型半導体領域1及びn+型半導体領域3との間に第2のpn接合及び第3のpn接合を形成する本発明によるn型半導体領域1より高不純物濃度の第4半導体領域としてのp+型半導体領域4が、前記p+型半導体領域2及びp+型半導体領域22のほぼ直下に複数配置されて構成されている。

【0017】さらに、図示ダイオードは、一方の主表面において、p+型半導体領域2の表面でオーミック接触し、両端のp+型半導体領域22に挟まれたn型半導体領域1の表面でショットキー接触し、p+型半導体領域

2に近い両端のp+型半導体領域22の表面の一部にオーミック接触するアノード電極20が形成され、他方の主表面にあるn+型半導体領域3の露出した面にオーミック接触するカソード電極30が形成されて構成されている。

【0018】図2に示す本発明のダイオードの一方の主表面から見た平面図は、アノード電極20の一部を削除して示している。この図2から判るように、図1に示すダイオードは、複数のp+型半導体領域2の一部がp+型半導体領域22と連結され、表面に露出するn型半導体領域1がp+型半導体領域2とp+型半導体領域22とに囲まれた構成を備えている。なお、図2のA-A'部で示した箇所の断面の概略図が図1に相当する。

【0019】次に、前述した本発明の第1の実施形態によるダイオードが、高いサージ耐量を有することについて説明する。

【0020】いま、図1に示すダイオードのアノード電極20に負、カソード電極30に正の急峻な逆バイアス電圧が印加されたものとする。このとき、n型半導体領域1とp+型半導体領域2及び22とからなる第1のpn接合が逆バイアスされ、これにより生じる空乏層は、ほとんど低不純物濃度のn型半導体領域1に広がる。n型半導体領域1とp+型半導体領域2とによる第1のpn接合から広がる空乏層は、p+型半導体領域2の間にn型半導体領域1が介在して、隣合うp+型半導体領域2から延びる空乏層がぶつかるので、p+型半導体領域2の間のn型半導体領域1での電界が緩和される。このため、図1に示すダイオードは、高耐圧化に有利なものとなる。さらに、図示ダイオードは、アノード電極20が第1のpn接合表面を一方の主表面から見て、二酸化珪素膜等の絶縁膜5を介して覆うように形成されているので、n型半導体領域1の表面に延びる空乏層が前記絶縁膜5上のアノード電極20の電位の影響を受け横方向に広がり、このため、表面電界が緩和されて高耐圧化しやすい利点を有するものとなる。

【0021】しかし、図示ダイオードは、本発明により設けられた高不純物濃度のp+型半導体領域4がない場合、定電圧として利用する素子の耐圧以上の急峻な逆バイアス電圧、すなわち、サージ電圧が印加されると、前記第1のpn接合のp+型半導体領域22あるいはp+型半導体領域2内の電界が局所的に集中する箇所で降伏が生じる。この局所的な降伏が生じるときの印加電圧は、素子の耐圧にはほぼ匹敵するが、素子の耐圧より僅かでも高くなる電圧は、全て局所的な熱の発生を伴うことに費やされ、その結果、素子を熱破壊してしまう。

【0022】図1に示すダイオードは、本発明により設けられた高不純物濃度のp+型半導体領域4が存在しているため、n型半導体領域1とp+型半導体領域2及び22とからなる第1のpn接合から延びる空乏層が、第1のpn接合が保有する第1耐圧以下の印加電圧で、p

+ 型半導体領域4に到達するように設定しておくことにより、高不純物濃度のp+ 型半導体領域4と高不純物濃度のn+ 型半導体領域3とからなる第3のpn接合でツェナー降伏、あるいは、アバランシェ降伏させることができる。すなわち、第1耐圧以下の電圧で前記空乏層がp+ 型半導体領域4に到達する電圧をパンチスルー電圧とすれば、パンチスルー電圧を、第1半導体領域であるn+ 型半導体領域1の不純物濃度や厚みを適正化して、第1耐圧以下に設定することができる。

【0023】すなわち、前述した本発明の第1の実施形態によるダイオードは、前記パンチスルー電圧で空乏層がp+ 型半導体領域4に到達するように設定しておくことにより、高不純物濃度のp+ 型半導体領域4と高不純物濃度のn+ 型半導体領域3とからなる第3のpn接合で均等にツェナー降伏、あるいは、アバランシェ降伏させることができ、高いサージ耐量を得ることができる。

【0024】図3は本発明の第2の実施形態による定電圧ダイオードの構造を説明する断面図であり、図の符号は図1の場合と同一である。

【0025】図3に示す本発明の第2の実施形態によるダイオードは、図1により説明した実施形態における高不純物濃度のp+ 型半導体領域2が無く、アノード電極20とn型半導体領域1とをショットキー接触させたものである。本発明は、このように、ショットキー接合を有するダイオードにも適用可能である。この場合も、図1で説明したと同様の効果、すなわち、ショットキー接合あるいはp+ 型半導体領域22のいずれかの第1耐圧以下のパンチスルー電圧で、空乏層がp+ 型半導体領域4に到達するように設定しておくことにより、高不純物濃度のp+ 型半導体領域4と高不純物濃度のn+ 型半導体領域3とからなる第3のpn接合で均等にツェナー降伏、あるいは、アバランシェ降伏させることができ、高いサージ耐量を得ることができる。

【0026】図4は本発明の第3の実施形態による定電圧ダイオードの構造を説明する断面図である。図4において、21はp+ 型半導体領域であり、他の符号は図1の場合と同一である。

【0027】図4に示す本発明の第3の実施形態によるダイオードは、図1により説明した実施形態における高不純物濃度のp+ 型半導体領域2が無く、アノード電極20をp+ 型半導体領域21にオーミック接触させたものである。本発明は、このように、通常のpn接合を有するダイオードにも適用可能である。この場合も、図1及び図3で説明したと同様の効果、すなわち、p+ 型半導体領域21とn型半導体領域1とからなるpn接合の第1耐圧以下のパンチスルー電圧で、空乏層がp+ 型半導体領域4に到達するように設定しておくことにより、高不純物濃度のp+ 型半導体領域4と高不純物濃度のn+ 型半導体領域3とからなる第3のpn接合で均等にツェナー降伏、あるいは、アバランシェ降伏させることが

でき、高いサージ耐量を得ることができる。

【0028】図5は前述した本発明の各実施形態における高不純物濃度のp+ 型半導体領域4の平面パターンのレイアウト例を示す図である。

【0029】図5に示すように、図1、図3、図4に示したn型半導体領域1及びn+ 型半導体領域3に包囲されたp+ 型半導体領域4は、内部に長方形の空洞部4a（n型半導体領域1及びn+ 型半導体領域3のみの部分）を複数有するようなp+ 型半導体領域41により構成されている。このように、p+ 型半導体領域41を部分的に連結しておくことにより、p+ 型半導体領域41のどこか特定の箇所に空乏層が到達しても、電位がp+ 型半導体領域41内で一定となるので、p+ 型半導体領域41とn+ 型半導体領域3とからなる第3のpn接合で均等にツェナー降伏、あるいは、アバランシェ降伏させることができ、サージ耐量を高くすることができる。

【0030】図6は前述した本発明の各実施形態における高不純物濃度のp+ 型半導体領域4の平面パターンのレイアウトの他の例を示す図である。

【0031】図6に示すように、図1、図3、図4に示したn型半導体領域1及びn+ 型半導体領域3に包囲されたp+ 型半導体領域4は、内部に正方形の空洞部4b（n型半導体領域1及びn+ 型半導体領域3のみの部分）を複数有するようなp+ 型半導体領域42により構成されている。このように、p+ 型半導体領域42を部分的に連結しておくことにより、図5で説明した場合と同様な効果、すなわち、p+ 型半導体領域42のどこか特定の箇所に空乏層が到達しても、電位はp+ 型半導体領域42内で一定となるので、p+ 型半導体領域42とn+ 型半導体領域3とからなる第3のpn接合で均等にツェナー降伏、あるいは、アバランシェ降伏させることができ、サージ耐量を高くすることができる。

【0032】図7は前述した図1に示す本発明の第1の実施形態による定電圧ダイオードの製造方法の一例を説明する主な工程毎の断面図であり、以下、これについて説明する。

【0033】(1) まず、抵抗率が $0.001\Omega \cdot \text{cm}$ ～ $0.01\Omega \cdot \text{cm}$ の低抵抗のn+ 型半導体領域3を構成する半導体基体を用意する〔図7(a)〕。

【0034】(2) この半導体基体を酸化して二酸化珪素膜6を形成し、通常のホトエッチングにより二酸化珪素膜6に窓を開け、表面側にp型の不純物としてのB（ボロン）を表面不純物濃度が1立方センチメートル当たり約 1×10^{18} 個～ 1×10^{19} 個で深さが $0.5\mu\text{m}$ ～ $2\mu\text{m}$ 程度のp+ 型半導体領域4を選択的に形成する〔図7(b)〕。

【0035】(3) その後、二酸化珪素膜6をフッ酸等により除去して清浄化した表面に、n型の不純物を1立方センチメートル当たり約 1×10^{15} 個～ 1×10^{16} 個含むn型半導体領域1をエピタキシャル法を用いて約 4μ

m~10 μ m程度形成する〔図7(c)〕。

【0036】(4) 続いて、図7(c)の工程を終了したウェハに酸化を行って二酸化珪素膜7を形成し、通常のホテルエッチングにより二酸化珪素膜7に窓を開け、表面側にp型の不純物としてのB(ボロン)を表面不純物濃度が1立方センチメートル当り約 1×10^{18} 個~ 1×10^{19} 個で深さが0.5 μ m~2 μ m程度のp+型半導体領域2及びp+型半導体領域22を選択的に形成する。なお、このとき、p+型半導体領域22とp+型半導体領域2とを別プロセスで形成してもよい。例えば、p+型半導体領域22を前述した酸化、ホテルエッチングにより選択的に形成した後、形成された酸化膜を除去し、再び酸化、ホテルエッチングにより選択的にp+型半導体領域22より浅くなるようp+型半導体領域2を形成するようにしてもよい〔図7(d)〕。

【0037】(5) その後、前述までの工程を終了したウェハを洗浄した後、酸化を行うか、あるいは、二酸化珪素膜7をフッ酸等により除去した後、改めて酸化を行い、表面にP₂O₅を3mol%~6mol%含むリンガラスを約0.3 μ m~0.7 μ m程度形成して絶縁膜5とする。次に、通常のホテルエッチングにより絶縁膜5にコンタクト用の窓を開け、表面側のp+型半導体領域2の表面全域、p+型半導体領域22のペレット中心部に近い表面、さらに、p+型半導体領域2、p+型半導体領域22に挟まれたn型半導体1の表面を露出させ、裏面に存在していた酸化膜を全面除去しn+型半導体領域3の表面を露出させる。最後に、表面に露出したp+型半導体領域2、p+型半導体領域22、さらに、p+型半導体領域2、p+型半導体領域22に挟まれたn型半導体1にアノード電極20を形成する。このアノード電極20は、p+型半導体領域2とp+型半導体領域22とに挟まれたn型半導体1にはショットキー接触し、p+型半導体領域2及びp+型半導体領域22にはオーミック接触するアルミニウム、モリブデン、チタン、バナジウム、白金、あるいは、これらのシリサイドを用いて形成される。また、裏面に露出したn+型半導体領域3に、オーミック接触するアルミニウム、ニッケル、あるいは、クロム/ニッケル/銀等を用いてカソード電極30を形成する〔図7(e)〕。

【0038】前述による製造方法で製造された定電圧ダイオードは、定電圧として利用する耐圧が21V、順方向電圧降下が順方向電流密度を1平方センチメートル当り150Aとしたとき約0.4V~0.6Vの値であった。なお、本発明による高不純物濃度のp+型半導体領域4を設けないダイオードは、順方向電圧降下が同程度で、約28~35Vの耐圧が得られた。そして、約40Vのピーク電圧を有するパルス電圧を印加したサージ耐量の試験の結果、本発明による高不純物濃度のp+型半導体領域4を設けた定電圧ダイオードは破壊に到らなかったが、p+型半導体領域4を設けないダイオードはp

+型半導体領域22の外周近傍で熱破壊していた。すなわち、本発明の第1の実施形態による定電圧ダイオードは、高いサージ耐量を有するものであることが確認できた。

【0039】図8は前述した図3に示す本発明の第2の実施形態による定電圧ダイオードの製造方法の一例を説明する主な工程毎の断面図であり、以下、これについて説明する。なお、図8(a)~図8(c)に示す工程は図7の場合と同一であるので、その説明を省略する。

【0040】図8(c)の工程を終了したウェハに酸化を行って二酸化珪素膜7を形成し、通常のホテルエッチングにより二酸化珪素膜7に窓を開け、表面側にp型の不純物としてのB(ボロン)を表面不純物濃度が1立方センチメートル当り約 1×10^{18} 個~ 1×10^{19} 個で深さが0.5 μ m~2 μ m程度のp+型半導体領域22を選択的に形成する〔図8(d)〕。

【0041】その後、図8(d)の工程を終了したウェハを洗浄した後、酸化を行うか、あるいは、二酸化珪素膜7をフッ酸等により除去した後、改めて酸化を行い、表面にP₂O₅を3mol%~6mol%含むリンガラスを約0.3 μ m~0.7 μ m程度形成して絶縁膜5とする。次に、通常のホテルエッチングにより絶縁膜5にコンタクト用の窓を開け、表面側のp+型半導体領域22のペレット中心部に近い表面、さらに、p+型半導体領域22に挟まれたn型半導体1の表面を露出させ、裏面に存在していた酸化膜を全面除去しn+型半導体領域3の表面を露出させる。最後に、表面に露出したp+型半導体領域22とp+型半導体領域22に挟まれたn型半導体1にアノード電極20を形成する。このアノード電極20は、p+型半導体領域22に挟まれたn型半導体1にはショットキー接触し、p+型半導体領域22にはオーミック接触するアルミニウム、モリブデン、チタン、バナジウム、白金、あるいは、これらのシリサイドを用いて形成される。また、裏面に露出したn+型半導体領域3に、オーミック接触するアルミニウム、ニッケル、あるいは、クロム/ニッケル/銀等を用いてカソード電極30を形成する〔図8(e)〕。

【0042】前述した製造方法により、定電圧として利用する耐圧が21V、順方向電圧降下として順方向電流密度が1平方センチメートル当り150Aとしたとき約0.3V~0.5Vの値を有する定電圧ダイオードを得ることができた。なお、本発明による高不純物濃度のp+型半導体領域4が設けられないダイオードは、順方向電圧降下が同程度で、約25V~30Vの耐圧が得られた。そして、前述の方法により得られた本発明の第2の実施形態による定電圧ダイオードは、図7で説明した場合と同様に高いサージ耐量を有するものであることが確認できた。

【0043】図9は前述した図4に示す本発明の第3の実施形態による定電圧ダイオードの製造方法の一例を説

明する主な工程毎の断面図であり、以下、これについて説明する。なお、図9(a)～図9(c)に示す工程は図7、図8の場合と同一であるので、その説明を省略する。

【0044】図9(c)の工程を終了したウェハに酸化を行って二酸化珪素膜7を形成し、通常のホテルエッチングにより二酸化珪素膜7に窓を開け、表面側にp型の不純物としてのB(ボロン)を表面不純物濃度が1立方センチメートル当たり約 1×10^{18} 個～ 1×10^{19} 個で深さが0.5 μm ～2 μm 程度のp+型半導体領域21を選択的に形成する〔図9(d)〕。

【0045】その後、図9(d)の工程を終了したウェハを洗浄した後、酸化を行うか、あるいは、二酸化珪素膜7をフッ酸等により除去した後、改めて酸化を行い、表面に P_2O_5 を3mol%～6mol%含むリンガラスを約0.3 μm ～0.7 μm 程度形成して絶縁膜5とする。次に、通常のホテルエッチングにより絶縁膜5にコンタクト用の窓を開け、表面側のp+型半導体領域21のペレット中心部に近い表面を露出させ、裏面に存在していた酸化膜を全面除去しn+型半導体領域3の表面を露出させる。最後に、表面に露出したp+型半導体領域21にアノード電極20を、裏面に露出したn+型半導体領域3にカソード電極30を、オーミック接触するアルミニウム、ニッケル、あるいは、クロム/ニッケル/銀等を用いて形成する〔図9(e)〕。

【0046】前述した製造方法により、定め電圧として利用する耐圧が40V、順方向電圧降下として順方向電流密度が1平方センチメートル当たり150Aとしたとき約0.7V～0.8Vの値を有する定電圧ダイオードを得ることができた。なお、本発明による高不純物濃度のp+型半導体領域4が設けられないダイオードは、順方向電圧降下が同程度で、約45V～80Vの耐圧が得られた。そして、前述の方法により得られた本発明の第3の実施形態による定電圧ダイオードは、図7で説明した場合と同様に高いサージ耐量を有するものであることが確認できた。

【0047】前述した本発明の各実施形態によれば、耐圧が一定の値に制御された定電圧特性を示し、かつ、極めてサージ耐量の高い優れた特性を持つ定電圧ダイオードとその製造方法とを提供することができる。そして、本発明の実施形態による定電圧ダイオードは、高温逆バイアス試験(印加電圧が定格電圧の80%、接合温度が

200℃、試験時間が1000h)の結果、リーク電流の増加が初期値の50%の増加に留まり、高信頼性を示すことが確認できた。

【0048】

【発明の効果】以上説明したように、本発明による一定の耐圧に制御された定電圧ダイオードは、サージ耐量が高いという効果を奏することができ、また、その製造方法を用いれば、高信頼の定電圧ダイオードを製造することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による定電圧ダイオードの構造を説明する断面図である。

【図2】図1に示す定電圧ダイオードの主表面から見た平面図である。

【図3】本発明の第2の実施形態による定電圧ダイオードの構造を説明する断面図である。

【図4】本発明の第3の実施形態による定電圧ダイオードの構造を説明する断面図である。

【図5】本発明の各実施形態における高不純物濃度のp+型半導体領域4の平面パターンレイアウト例を示す図である。

【図6】本発明の各実施形態における高不純物濃度のp+型半導体領域4の平面パターンの他のレイアウト例を示す図である。

【図7】本発明の第1の実施形態による定電圧ダイオードの製造方法の一例を説明する主な工程毎の断面図である。

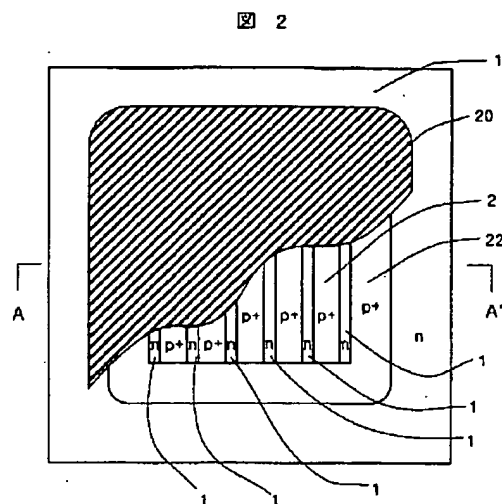
【図8】本発明の第2の実施形態による定電圧ダイオードの製造方法の一例を説明する主な工程毎の断面図である。

【図9】本発明の第3の実施形態による定電圧ダイオードの製造方法の一例を説明する主な工程毎の断面図である。

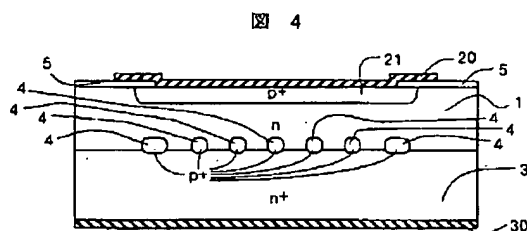
【符号の説明】

- 1 n型半導体領域
- 2、21、22 p+型半導体領域
- 3 n+型半導体領域
- 4、41、42 p+型半導体領域
- 5 絶縁膜
- 6、7 二酸化珪素膜
- 20 アノード電極
- 30 カソード電極

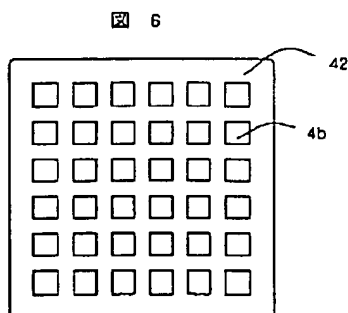
【図2】



【図4】

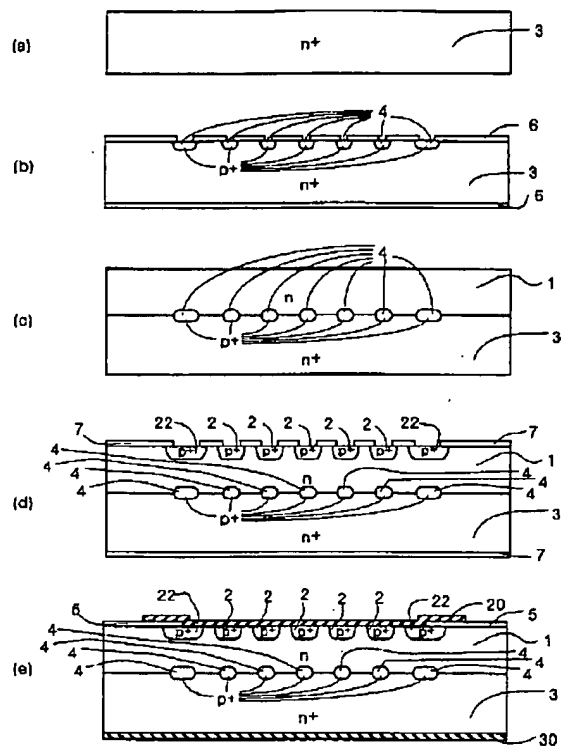


【図6】



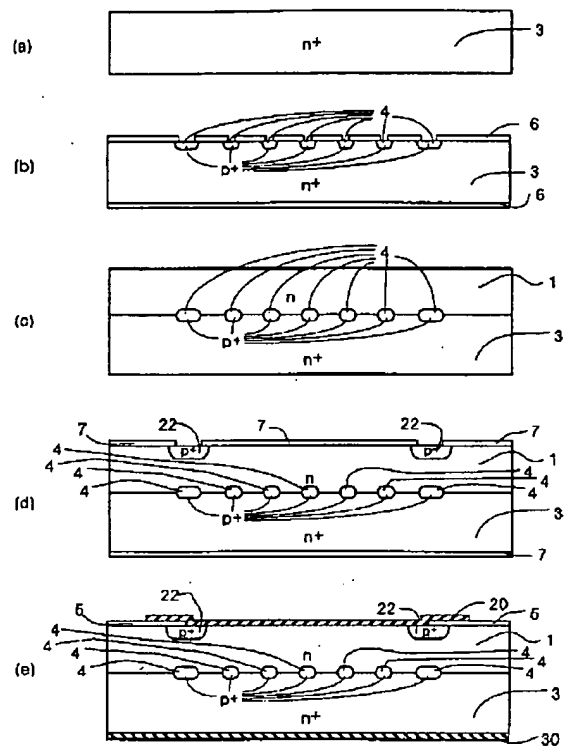
【図7】

図 7



【図8】

図 8



【図9】

図 9

